

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-254684

(43) 公開日 平成8年(1996)10月1日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 4 5		G 0 2 F 1/133	5 4 5
G 0 9 G 3/36			G 0 9 G 3/36	

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21) 出願番号 特願平7-58426

(22) 出願日 平成7年(1995)3月17日

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 押川 一志

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

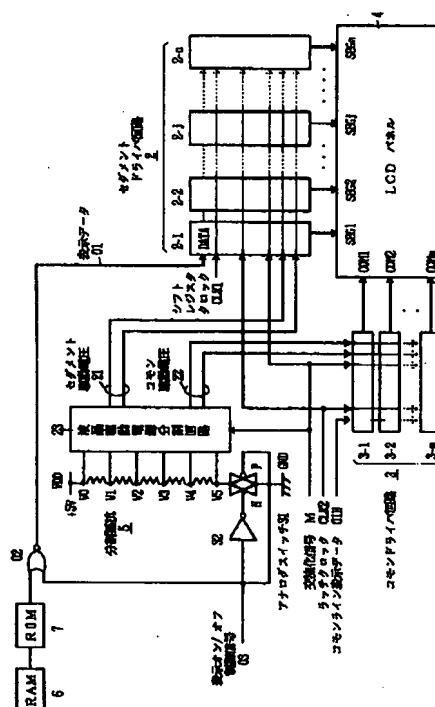
(74) 代理人 弁理士 山口 巖

(54) 【発明の名称】 液晶表示制御駆動回路

(57) 【要約】

【目的】 液晶コントローラドライバICの消費電流を極力低減する。

【構成】 液晶駆動電源分割回路23は+5V電源VDDを分割抵抗5で分割した電圧V0~V5を選択してセグメント駆動電圧21、コモン駆動電圧22を生成し、夫々セグメントドライバ回路2-1~2-n、コモンドライバ回路3-1~3-mに与える。表示データ01は表示オン/オフ制御信号03のオン期間RAM6、ROM7、NORゲート02経由でセグメントドライバ回路に入力され、LCDパネル4はこのセグメント、コモン両ドライバ回路により駆動され表示を行う。ここで分割抵抗5による電流消費が無視できないので分割抵抗5と直列にアナログスイッチ31を挿入し、表示オン/オフ制御信号03のオフ時はアナログスイッチ31をオフし、IC消費電流を低減する。



1

【特許請求の範囲】

【請求項1】入力直流電源を分割抵抗にて分割し液晶パネル駆動用の電圧を生成する液晶表示制御駆動回路において、

前記分割抵抗と直列に、又はこの分割抵抗内に前記入力直流電源からこの分割抵抗に供給される電流を開閉し得るように開閉手段を設け、この開閉手段の開閉駆動をこの液晶表示制御駆動回路の表示機能をオン／オフする信号にて行うようにしたことを特徴とする液晶表示制御駆動回路。

【請求項2】液晶パネルの表示桁数に対応する複数の段数を持ち、段別の表示データを各段共通に入力される第1のクロックを介してシフトするシフトレジスタ回路と、

夫々、前記のシフトされた自身に対応する段の表示データを各段共通に入力される第2のクロックを介してラッチする個別ラッチ手段を持つラッチ回路とを備えた液晶表示制御駆動回路において、

駆動対象の液晶パネルの桁数の規模に応じて、前記シフトレジスタ回路及びラッチ回路の稼働段数の規模を第1のクロック及び第2のクロックの夫々の入力路の開閉によって複数規模に切替える半導体切替手段を備えたことを特徴とする液晶表示制御駆動回路。

【請求項3】液晶パネルの表示行数に対応する複数の段数を持ち、段別の表示データを各段共通に入力されるクロックを介してシフトするシフトレジスタ回路を備えた液晶表示制御駆動回路において、

駆動対象の液晶パネルの行数の規模に応じて、前記シフトレジスタ回路の稼働段数の規模を前記クロックの入力路の開閉によって複数規模に切替える切替手段を備えたことを特徴とする液晶表示制御駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は液晶パネル（LCDパネルとも呼ぶ）を制御駆動する液晶コントローラドライバICなどの液晶表示制御駆動回路に関する。なお、以下各図において同一の符号は同一もしくは相当部分を示す。

【0002】

【従来の技術】図4は液晶パネルの制御駆動回路の構成例を示す。同図において4は液晶パネル（LCDパネル）で、このLCDパネル4及び後述のRAM6、ROM7を除いた部分は液晶コントローラドライバICの一部を示している。ここで2（2-1、2-2～2-j～2-n）は夫々LCDパネル4の表示桁に対応するセグメント線（データ線ともいう）SEG1、SEG2～SEGj～SEGnを駆動するセグメントドライバ回路、3（3-1、3-2～3-m）は夫々LCDパネル4の表示行に対応するコモン線COM1、COM2～COMmを駆動するコモンドライバ回路である。

2

【0003】また、6はLCDパネル4に表示するデータを文字コードなどの形で持つRAM、7はRAM6から読出される文字コードに対する表示パターンとしてのドットパターンを記憶するROM、02はLCDパネル4の表示動作を行うか否かを定める表示オン／オフ制御信号03のオン（Lレベル）時にROM7のシリアル出力データを表示データ01としてセグメントドライバ回路2-1に与え、表示動作を可能とするNORゲートである。

10 【0004】5は液晶の電源用にこのICの外部から入力された+5Vの電源VDDをグランドGND（0V）との間で分割する分割抵抗で、IC内部の拡散抵抗やポリシリコン抵抗を用いて作られる。この分割抵抗5の抵抗値はLCDパネル4の大きさによって異なってくるが、この例では2kΩの抵抗5本を直列にして構成されている。ここではこの抵抗の接続点（換言すれば次に述べる液晶駆動電源分割回路23の入力端子、又はその電圧）を+5V側からV0～V5（但しV0=+5V、V5=0V）とする。

20 【0005】次に23は分割電圧V0～V5を入力し、LCDパネル4の垂直走査周期（TV、図5参照）を与える交流化信号Mに同期してセグメントドライバ回路2に与えるセグメント駆動電圧21、及びコモンドライバ回路3に与えるコモン駆動電圧22を生成する液晶駆動電源分割回路である。この液晶駆動電源分割回路23は交流化信号Mが“L”（グランドGNDレベル）のときは、セグメント駆動電圧21の2本の駆動電圧線に夫々電圧V5とV3を出力し、コモン駆動電圧22の2本の駆動電圧線に夫々電圧V0とV4を出力する。また、交流化信号Mが“H”（電源VDDレベル）のときは、セグメント駆動電圧21の2本の駆動電圧線に夫々電圧V0とV2を出力し、コモン駆動電圧22の2本の駆動電圧線に夫々電圧V5とV1を出力する。

30 【0006】図7は上から順に交流化信号M、各コモン線COM1、COM2～COMmの駆動電圧の夫々の波形、及び任意のセグメント線（SEGjとする）の駆動電圧の波形の例を示す。ここでTH（TH1、TH2～THm）は後述のラッチクロックCLK2の周期に等しい水平走査期間であり、TH1はコモン線COM1による（つまりLCDパネルの最上部の水平ラインの）表示期間としての水平走査期間、同様にTH2、THmは夫々コモン線COM2、COMmによる表示期間としての水平走査期間である。そしてこの各水平走査期間に、LCDパネルの該当する水平ライン上の画素の表示（点灯）が行われる。

50 【0007】図4を参照しつつ図7を説明すると、コモンドライバ回路3-1はコモンライン表示データ01H、ラッチクロックCLK2、交流化信号M及びコモン駆動電圧22を入力し、交流化信号Mの立下り時点から水平走査期間TH1の間は電圧V0を、以後交流化信号

3

Mの立上り時点までは電圧V4を、また交流化信号Mの立上り時点から水平走査期間TH1の間は電圧V5を、以後交流化信号Mの立下り時点までは電圧V1を順次切替えてコモン線COM1に出力する。この波形は交流化信号Mの“L”(GNDレベル)の領域と“H”(VDDレベル)の領域とで正逆反転した波形となる。

【0008】同様にコモンドライバ回路3-2~3-mはコモン駆動電圧22、交流化信号M及びラッチクロックCLK2を入力し、コモン線COM1と同形状で位相が水平走査期間THづつシフトした(つまり当該の水平走査期間に交流化信号Mが“L”の領域では電圧V0、交流化信号Mが“H”の領域では電圧V5となるような)波形の切替電圧を夫々コモン線COM2~COMmに出力する。

【0009】図6はコモンドライバ回路3(3-1~3-m)の構成例を示す。同図において8H-1, 8H-2~8H-1~8H-mは全体としてm段(mビット)のシフトレジスタを構成するDフリップフロップ、15はE-NOR回路、10H(10H-1, 10H-2~10H-1~10H-m)は出力バッファである。ここで縦一列に並ぶDフリップフロップ8H-1, E-NOR回路15及び出力バッファ10H-1の組が図4のコモン線COM1を駆動するコモンドライバ回路3-1に相当し、同様に縦一列に並ぶDフリップフロップ8H-m, E-NOR回路15及び出力バッファ10H-mの組が図4のコモン線COMmを駆動するコモンドライバ回路3-mに相当する。

【0010】なお、縦一列に並ぶDフリップフロップ8H-1, E-NOR回路15及び出力バッファ10H-1の組は一般的なコモン線COM1を駆動するコモンドライバ回路3-1を示している。シフトレジスタ回路8Hの入力段のDフリップフロップ8H-1には、このIC内の図外のタイミング回路から交流化信号Mの立下りの時点ごとに“表示”を指定するコモンライン表示データ01Hが与えられ、ラッチクロックCLK2によって読込まれる。そしてこの読込が済むとコモンライン表示データ01Hは“非表示”に切替わり、以後、次の交流化信号Mの立下り時点までこの状態を保つ。

【0011】ラッチクロックCLK2は各段のDフリップフロップ8H-1~8H-mに共通に入力され、以後ラッチクロックCLK2に同期してこの“表示”のコモンライン表示データ01HがDフリップフロップ8H-1から8H-mに向かって順番に1段づつシフトされる。各E-NOR回路15は対応するシフトレジスタ回路8HのDフリップフロップの表示データ出力Qと交流化信号MとのE-NOR条件を求め、その出力15aを出力バッファ10H-1~10H-mに与える。

【0012】各出力バッファ10H-1~10H-mには前述のコモン駆動電圧22が共通に入力されており、各出力バッファ10H-1~10H-mの出力端子11

4

H(つまり各コモン線COM1~COMmの駆動端)には、E-NOR出力15aに応じて選択されたコモン駆動電圧22(の2つの電圧の1つ)が出力される。この例では交流化信号Mが“L”の期間、当該Dフリップフロップの表示データ出力Qが“表示”の場合(つまり当該コモン線による表示期間としての水平走査期間)には、当該出力バッファ10Hの出力端子11Hには電圧V0が出力され、当該Dフリップフロップの表示データ出力Qが“非表示”の場合には電圧V4が出力される。

【0013】同様に交流化信号Mが“H”の期間、当該Dフリップフロップの表示データ出力Qが“表示”の場合には、当該出力バッファの出力端11Hには電圧V5が出力され、同じく“非表示”の場合には電圧V1が出力される。このようにして図7のコモン線COM1~COMmの駆動電圧波形が生成されることになる。

【0014】図5はセグメントドライバ回路2(2-1~2-n)の構成例を示す。同図において8-1, 8-2~8-j~8-nは全体としてn段(nビット)のシフトレジスタ回路8を構成するDフリップフロップ、9-1, 9-2~9-j~9-nは全体としてデータラッチ回路9を構成するDフリップフロップ、15はE-NOR回路、10(10-1, 10-2~10-j~10-n)は出力バッファである。

【0015】ここで縦一列に並ぶDフリップフロップ8-1, 9-1, E-NOR回路15及び出力バッファ10-1の組が図4のセグメント線SEG1を駆動するセグメントドライバ回路2-1に相当し、同様に縦一列に並ぶDフリップフロップ8-n, 9-n, E-NOR回路15及び出力バッファ10-nの組が図4のセグメント線SEGnを駆動するセグメントドライバ回路2-nに相当する。

【0016】なお、縦一列に並ぶDフリップフロップ8-j, 9-j, E-NOR回路15及び出力バッファ10-jの組は一般的なセグメント線SEGjを駆動するセグメントドライバ回路2-jを示している。シフトレジスタ回路8の入力段のDフリップフロップ8-1には図4のROM7から出力されるシリアル表示データ01が入力され、各水平走査期間THの初めに、Dフリップフロップ8-1~8-mに共通に入力されるシフトレジスタクロックCLK1に同期して、Dフリップフロップ8-1から8-nに向けて表示データ01が順番にシフトされる。このシフトによる新たな一連の表示データ01が各Dフリップフロップ8-1~8-nに行きわたった時点で、データラッチ回路9の各Dフリップフロップ9-1~9-nに共通にラッチクロックCLK2が入力され、シフトレジスタ回路8の各Dフリップフロップ8-1~8-nの表示データ出力Qが夫々対応するデータラッチ回路9の各Dフリップフロップ9-1~9-nにラッチされる。

【0017】即ちデータラッチ回路9の各Dフリップ

ロップ9-1~9-nの出力端子Qには当該の水平走査期間に、対応するセグメント線上の画素を表示(点灯)するか否かの表示データがラッチ出力されることになる。各E-NOR回路15はデータラッチ回路9の上述のセグメント線別の表示データ出力Qと交流化信号MとのE-NOR条件を求め、その出力15aを出力バッファ10-1~10-nに与える。

【0018】各出力バッファ10-1~10-nには前述のセグメント駆動電圧21が共通に入力されており、各出力バッファ10-1~10-nの出力端子11(つまり各セグメント線SEG1~SEGnの駆動端)には、E-NOR出力15aに応じて選択されたセグメント駆動電圧21(の2つの電圧の1つ)が出力される。この例では交流化信号Mが“L”の期間、当該画素を“表示”する場合には当該出力バッファ10の出力端子11には電圧V5が出力され、“非表示”の場合には電圧V3が出力される。同様に交流化信号Mが“H”の期間、当該画素を“表示”する場合には当該出力バッファの出力端子11には電圧V0が出力され、“非表示”の場合には電圧V2が出力される。

【0019】図7のセグメント線SEGjの波形の例では、この実線の波形はコモン線COM1の水平走査期間TH1にのみ、当該セグメント線SEGjとコモン線COM1との交点の画素が表示され、このセグメント線SEGj上の他の画素は全て非表示である場合の例である。ここでコモン線COM2の水平走査期間TH2においても、当該セグメント線SEGj上の画素を表示する場合点線部の波形が附加される。なお、このセグメント線SEGjの駆動波形も交流化信号Mの“L”、“H”に対応して正逆反転の波形となる。

【0020】なお、セグメントドライバ回路2の一例として文字20桁分表示可能なものを想定すると、セグメント線の出力ビット数nは100となる。

【0021】

【発明が解決しようとする課題】ところで図4において液晶電源投入に伴い、常時一定(5V印加:0.5mA)の電流が分割抵抗5の部分に流れる。この電流は液晶電源をオフさせるまで、その他の電流と合わせこのIC内に流れることになり、ロジック部電流より相当量大きく、このICの高電流消費の一因となるという問題がある。

【0022】また、最近、液晶表示駆動回路のトータルのコストパフォーマンスを高めるために、比較的表示規模の大きい液晶コントローラドライバICを、各種の容量の液晶パネルへ実装する傾向が見られる。この時、最大20桁×2行表示可能なICを使用して、16桁×2行用パネルへ実装した場合、図5に示すようなセグメントドライバ回路の出力ビット数100ビット中80ビットが実装に用いられる。この場合、100ビット中の残り20ビットは浮いたビットになっているが、常時シ

フトレジスタ回路8、データラッチ回路9へはクロック信号CLK1, CLK2が入って動作しているため、この不要ビット分の消費電流発生の無駄があるという問題がある。なお、この問題は表示行数に関わるコモンドライバ回路部にも同様に存在する。

【0023】そこで本発明はこのような問題を解消できる液晶表示制御駆動回路を提供することを課題とする。

【0024】

【課題を解決するための手段】前記の課題を解決するために、請求項1の液晶表示制御駆動回路では、入力直流電源(VDD)を分割抵抗(5)にて(V0~V5などに)分割し液晶パネル(LCDパネル4)駆動用の電圧(セグメント駆動電圧21及びコモン駆動電圧22)を生成する液晶表示制御駆動回路(液晶コントローラドライバIC)において、前記分割抵抗と直列に、又はこの分割抵抗内に前記入力直流電源からこの分割抵抗に供給される電流を開閉し得るように開閉手段(アナログスイッチ31など)を設け、この開閉手段の開閉駆動をこの液晶表示制御駆動回路の表示機能をオン/オフする信号(表示オン/オフ制御信号03)にて行うようにする。

【0025】また、請求項2の液晶表示制御駆動回路は、液晶パネル(4)の表示桁数に対応する複数の段数(n)を持ち、段別の表示データ(01)を各段共通に入力される第1のクロック(シフトレジスタクロックCLK1)を介してシフトするシフトレジスタ回路(8)と、夫々、前記のシフトされた自身に対応する段の表示データを各段共通に入力される第2のクロック(ラッチクロックCLK2)を介してラッチする個別ラッチ手段(Dフリップフロップ9-1~9-n)を持つラッチ回路(9)とを(セグメントドライバ回路2内に)備えた液晶表示制御駆動回路(液晶コントローラドライバIC)において、駆動対象の液晶パネルの桁数の規模に応じて、前記シフトレジスタ回路及びラッチ回路の稼働段数の規模を第1のクロック及び第2のクロックの夫々の入力路の開閉によって複数規模に切替える切替手段(アナログスイッチ41, 43など)を備えたものとする。

【0026】また、請求項3の液晶表示制御駆動回路は、液晶パネル(4)の表示行数に対応する複数の段数(m)を持ち、段別の表示データ(コモンライン表示データ01H)を各段共通に入力されるクロック(ラッチクロックCLK2)を介してシフトするシフトレジスタ回路(8H)を(コモンドライバ回路3内に)備えた液晶表示制御駆動回路(液晶コントローラドライバIC)において、駆動対象の液晶パネルの行数の規模に応じて、前記シフトレジスタ回路の稼働段数の規模を前記クロックの入力路の開閉によって複数規模に切替える切替手段(アナログスイッチ41Hなど)を備えたものとする。

【0027】

【作用】

7

請求項1に関わる発明（以下第1発明という）について：分割抵抗5の電源入力線又は分割抵抗間に直列にアナログスイッチ31を挿入して表示オン／オフ制御信号03のオフ時にこのアナログスイッチ31をオフとして分割抵抗5への通電を断ち、分割抵抗部の電流消費を減ずる。

【0028】請求項2に関わる発明（以下第2発明という）について：セグメントドライバ回路2のシフトレジスタ回路8及びデータラッチ回路9の夫々の動作する縦続接続段数（つまりセグメント線の出力ビット数）をLCDパネルの桁数規模に並び、アナログスイッチ41、43の段間への挿入による後段へのクロック（CLK1、CLK2）の入力遮断により切替え可能として、不要セグメントドライバ部分の電流消費を無くす。

【0029】請求項3に関わる発明（以下第3発明という）について：コモンドライバ回路3のシフトレジスタ回路8Hの動作する縦続接続段数（つまりコモン線の出力ビット数）をLCDパネルの行数規模に並び、アナログスイッチ41Hの段間への挿入による後段へのクロックCLK2の入力遮断により切替え可能として、不要コ

【0030】

【実施例】図1は第1発明の一実施例としての構成を示し、この図は図4に対応している。図1においては図4に対し分割抵抗5の端子V5とグラウンドGNDとの間に直列に、PチャネルMOSFETとNチャネルMOSFETからなるトランスマッションゲートとしてのアナログスイッチ31が挿入され、且つこのアナログスイッチ31のPチャネルMOSFETのゲートに加わる表示オン／オフ制御信号03を反転してNチャネルMOSFETのゲートに加えるインバータ32が設けられている。

【0031】このアナログスイッチ31はIC内部の図外のインストラクション回路から出力される表示オン／オフ制御信号03のオン（“L”）のときに導通し、信号03のオフ（“H”）のときに非導通となる。ここで図1の動作を説明する。通常、液晶コントローラドライバICの電源をオンすると、液晶パネル表示の前にパネル規模、表示条件などをインストラクション回路に設定入力する期間がある。この場合、表示オン／オフ制御信号03は“H”であり、NORゲート02はオフ、アナログスイッチ31もオフ状態になり、液晶パネルに電源が掛けられなくなり、液晶パネルに電流は流れない。

【0032】次に表示の指令をインストラクション回路に入力すると表示オン／オフ制御信号03が“L”となり、セグメントドライバ回路2はROM7からの表示データ01を入力可になる。また、アナログスイッチ31はオンされ、分割抵抗5の抵抗値の比で定まる電圧V0～V5が液晶駆動電源分割回路23、セグメントドライバ回路2、コモンドライバ回路3を経てLCDパネル4に加わり、通常の表示動作を行う。

8

【0033】なお、アナログスイッチ31の挿入箇所は図1の個所に限定されるものではなく、電源VDDと端子V0間、端子V0とV1間、V1とV2間など他の分割抵抗位置に直列に挿入しても消費電流削減効果のあることには変わりなく本発明に包含される。図2は第2発明の一実施例としてのセグメントドライバ回路2の構成を示し、この図は図5に対応している。図2においては図5に対しLCDパネル4の容量（この場合桁数）により、不必要に多い出力ドライバビットを切替削減できるようにするため、この例では図外のセグメントドライバ回路2-（j-1）（セグメント線SEG j-1駆動用）とセグメントドライバ回路2-j（セグメント線SEG j駆動用）との間にトランスマッションゲートからなるアナログスイッチ41～44が挿入され、且つインストラクション回路12とその出力信号12bを反転するインバータ45によって各アナログスイッチ41～44をオン／オフ制御するようにした点が異なる。

【0034】ここでアナログスイッチ41はそのオン、オフに応じて夫々シフトレジスタクロックCLK1をシフトレジスタ回路8を構成するDフリップフロップ8-j～8-nの側へ伝えるか否かの役割を持ち、アナログスイッチ43はそのオン、オフに応じて夫々ラッチクロックCLK2をデータラッチ回路9を構成するDフリップフロップ9-j～9-nの側へ伝えるか否かの役割を持つ。

【0035】また、アナログスイッチ42はアナログスイッチ41のオフ時にオンされ、Dフリップフロップ8-jのクロック入力端子CPをグラウンドGNDの電位に固定し、Dフリップフロップ8-j～8-nがノイズ等で誤動作することを防ぐ。同様にアナログスイッチ44はアナログスイッチ43のオフ時にオンされ、Dフリップフロップ9-jのクロック入力端子LPをグラウンドGNDの電位に固定し、Dフリップフロップ9-j～9-nがノイズ等で誤動作することを防ぐ。

【0036】但し、アナログスイッチ41、43のオフ時におけるDフリップフロップ8-j、9-jのクロック入力端子CP、LPの電位固定は電源VDDに対して行ってもよい。ここで図2の動作を説明する。パネル桁数がセグメントドライバ回路2部全てを使用する（つまりセグメント線SEG 1～SEG nを駆動する）場合、インストラクション回路12からの出力12bは“L”になっているため、アナログスイッチ41、43はオン、42、44はオフとなり、全てのセグメントドライバ回路2-1～2-nにクロックCLK1、CLK2が与えられて動作する。

【0037】次にパネル桁数が少なく済みセグメントドライバ回路2-1～2-（j-1）（セグメント線SEG 1～SEG j-1駆動用）の使用で表示ができる場合、インストラクション回路12からの出力12bは“H”となり、アナログスイッチ41、43はオフ、4

9

2, 44はオンとなる。従ってセグメントドライバ回路2-j~2-nは動作せず、電流消費が低減される。

【0038】また、この不要セグメントドライバ回路2-j~2-nは入力表示データがどうあっても表示には無関係の部分のため何の悪影響もなく動作する。なお、図2ではセグメントドライバ回路2内の縦続段数の切替え個所を1個所としたが、これを複数個所で行っても本発明が適用可能であることは明らかである。

【0039】図3は第3発明の一実施例としてのコモンドライバ回路3の構成を示し、この図は図6に対応している。図3では図6に対しLCDパネル4の容量(この場合行数)により不必要に多い出力ドライバビットを切替削減できるようにするため、この例では図外のコモンドライバ回路3-(i-1)(図外のコモン線COMi-1駆動用)とセグメントドライバ回路3-i(コモン線COMi駆動用)との間にトランスマッションゲートからなるアナログスイッチ41H, 42Hが挿入され、且つインストラクション回路12とその出力信号12aを反転するインバータ45Hによって各アナログスイッチ41H, 42Hをオン/オフ制御するようにした点が異なる。インストラクション回路12によるこのアナログスイッチ41H, 42Hの動作は夫々図2のアナログスイッチ41, 42と同様であり、これ以上の説明は省略する。

【0040】

【発明の効果】第1発明によれば、表示期間時のみLCDパネル駆動電源をオンするようにしたので、液晶コントローラドライバICの消費電流を低減することができる。また、第2, 第3発明によれば、LCDパネルの桁、行の容量に応じて、不要なセグメント、コモン各ドライバ回路の出力の動作スイッチングを無くすようにしたので、液晶コントローラドライバICの消費電流を低減することができる。

【図面の簡単な説明】

【図1】第1発明の一実施例としての液晶コントローラドライバIC回路の要部の構成図

【図2】第2発明の一実施例としてのセグメントドライバ回路の構成図

【図3】第3発明の一実施例としてのコモンドライバ回路の構成図

【図4】図1に対応する従来の構成図

10

【図5】図2に対応する従来の構成図

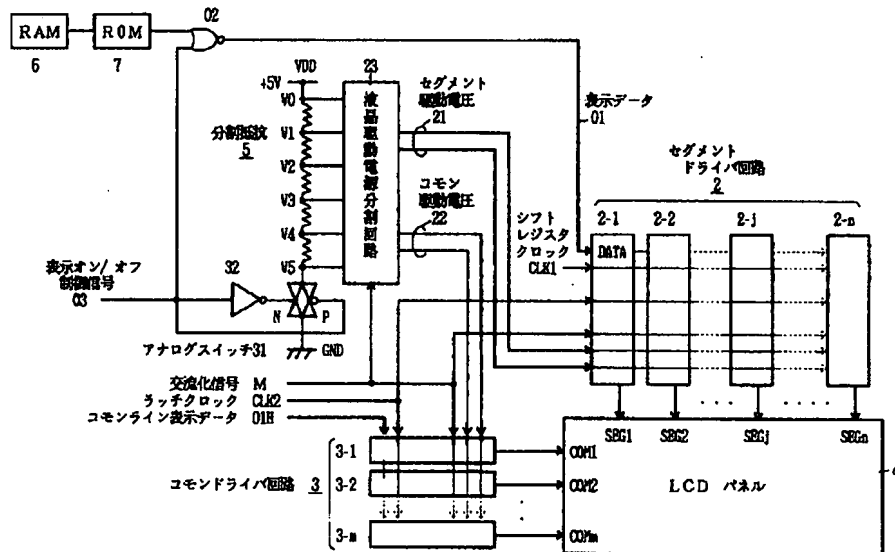
【図6】図3に対応する従来の構成図

【図7】LCDパネル駆動波形の例を示す図

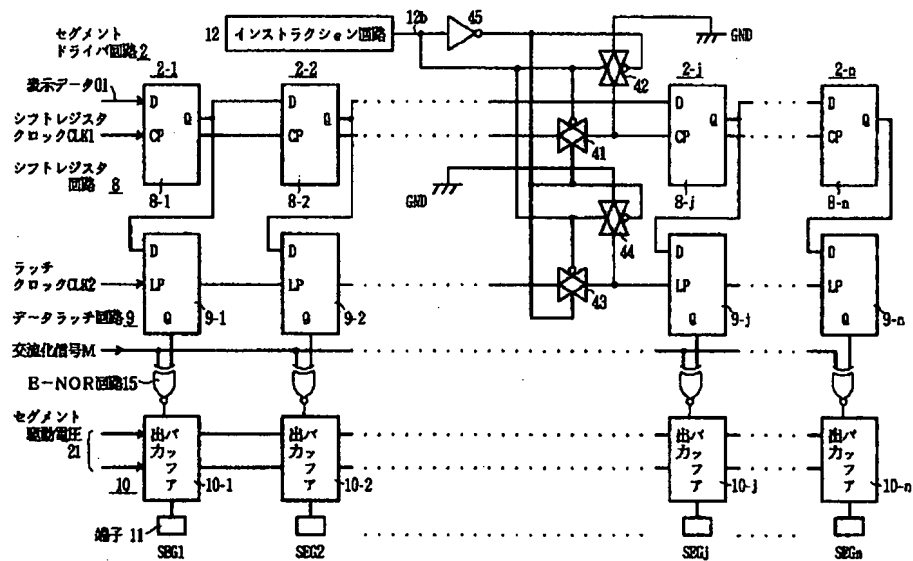
【符号の説明】

- 01 表示データ
- 01H コモンライン表示データ
- 02 NORゲート
- 03 表示オン/オフ制御信号
- 2 (2-1~2-n) セグメントドライバ回路
- SEG1~SEGN セグメント線
- 3 (3-1~3-m) コモンドライバ回路
- COM1~COMm コモン線
- 4 LCDパネル
- 5 分割抵抗
- 6 RAM
- 7 ROM
- 8 (8-1~8-n) シフトレジスタ回路
- 8H (8H-1~8H-m) シフトレジスタ回路
- 8-1~8-n Dフリップフロップ
- 8H-1~8H-m Dフリップフロップ
- 9 (9-1~9-n) データラッチ回路
- 9-1~9-n Dフリップフロップ
- 10 (10-1~10-n) 出力バッファ
- 10H (10H-1~10H-m) 出力バッファ
- 11 端子
- 11H 端子
- 12 インストラクション回路
- 15 E-NOR回路
- 21 セグメント駆動電圧
- 22 コモン駆動電圧
- 23 液晶駆動電源分割回路
- M 交流化信号
- CLK1 シフトレジスタクロック
- CLK2 ラッチクロック
- 31 アナログスイッチ
- 32 インバータ
- 41~44 アナログスイッチ
- 41H, 42H アナログスイッチ
- 45 インバータ
- 45H インバータ

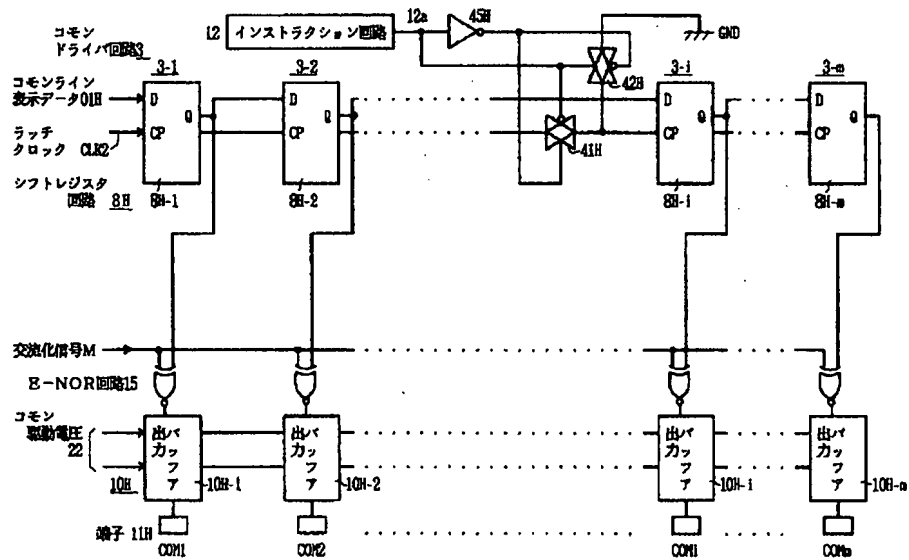
【図1】



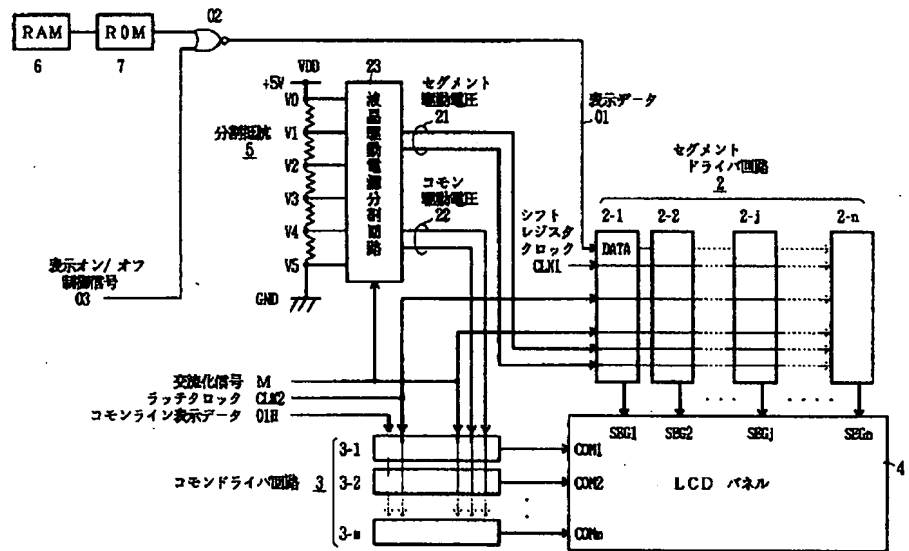
【図2】



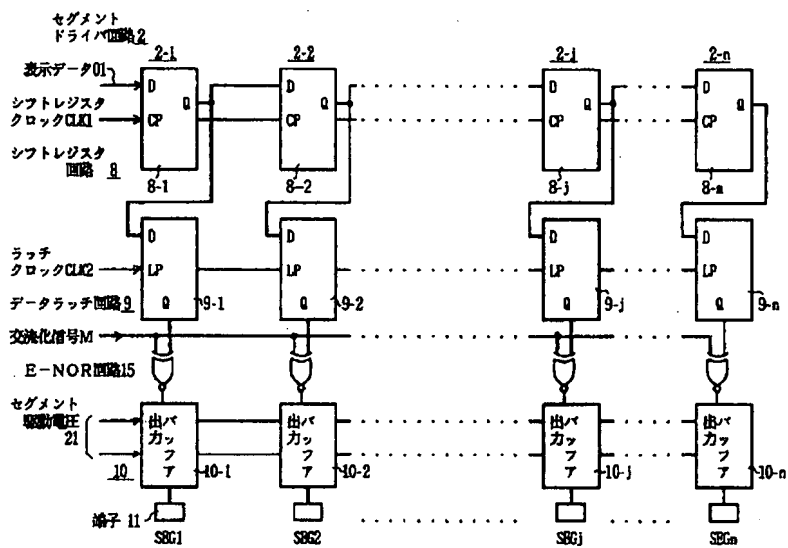
【図3】



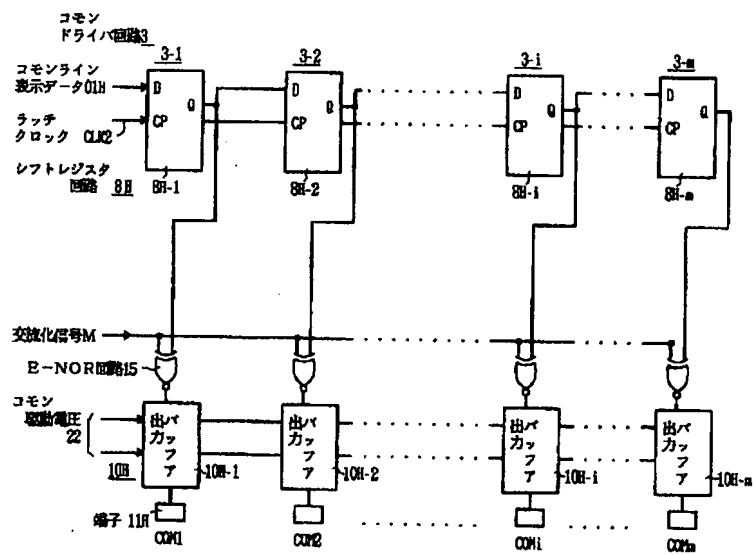
【図4】



【图 5】



【图 6】



【図7】

